

Semiconductor,
Expanding the Horizon

제15회
한국반도체학술대회

2008. 2. 21 (목) 발표논문(上)
보광 휘닉스파크



Nonvolatile Memory Device with Designed Geometric Nanocrystal and its Analytical Modeling

Jong Won Lee, Seong-Wan Ryu, Dong Ok Shin*, **Bong Hoon Kim***, Sang Ouk Kim*, and Yang-Kyu Choi

Department of Electrical Engineering and Computer Sciences,

*Department of Materials Science & Engineering

Korea Advanced Institute of Science and Technology, Daejeon, 305-701, Republic of Korea

Abstract — Nonvolatile memory (NVM) characteristics are presented using well-ordered geometric Cr nanocrystal (NC) through the assistance of the block copolymer template. An analytical model for a cone shaped NC was developed and it was well-matched with the measured data. Program efficiency depending on different NC shapes: hemisphere, circular cone, and sphere was comprehensively investigated by the proposed model

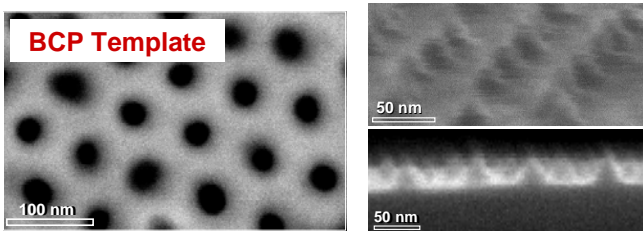
1. Introduction

모바일 기기 시장의 빠른 성장은 비휘발성 메모리의 고집적화를 이끌고 있다. 그러나 polycrystalline silicon 층을 부유게이트로 가지는 기존의 Flash 메모리는 나노크기로 소형화 됨에 따라 얇아지는 게이트산화막으로 인해 원하는 수준의 비휘발성을 유지하기가 어려워진다. 이에 제안된 것이 이산적인 전하저장층 (discrete charge storage node)을 부유게이트로 이용하는 나노입자 메모리이다 [1]. 나노입자의 도입을 통해 게이트산화막의 defect들에 대한 immunity를 증대시킬 수 있으며 [2-4], 인접소자간의 기생커패시턴스 성분이 줄어 메모리동작 시 나타나는 간섭효과 또한 효과적으로 최소화 할 수 있다. 그러나 기존에 보고 된 나노입자 형성방법은 입자들이 무작위로 형성됨으로써 소자간 균일한 동작특성을 획득하기 어렵다 [5-7]. 또한 기존의 보고들은 나노입자 형성의 무작위성으로 인해 모양과 관련한 메모리동작특성에 관한 analytic한 연구는 부족한 실정이다.

이에 본 논문에서는 블록공중합체 (Block copolymer: BCP)를 이용하여 균일한 나노입자를 통해 제작된 메모리동작 특성을 확보하고 측정된 결과와 잘 일치하는 analytical modeling을 통해 나노입자의 모양에 따른 프로그램 효율에 대하여 해석적으로 알아보고자 한다.

2. Experiment

그림 1은 나노입자 제작에 이용된 직경 40nm, 중심간격 80nm의 BCP template의 주사전자현미경 사진 (그림 1(가)) 및 형성된 나노입자의 주사전자현미경 사진 (그림 1(나))이다. Template는 70% Polystyrene과 30% PMMA로 이루어진 실린더상의 이중블록공중합체를 Si wafer에 spin-coating 및 고온열처리과정 후 UV irradiation과 아세트산에서의 wet-etching을 통해 PMMA성분을 선택적으로 제거하여 cylindrical pore array를 구현한다. 이러한 nanoporous template에 Cr을 증착시켜 나노입자를 형성한다. 증착되는 Cr 나노입자의 크기는 증착시간을 통해 조절되고 PS(polystyrene) matrix 와 PS 위에 있는 불필요한 Cr부분은 toluene에서 ultra-sonication으로 제거하여 터널링 산화막 위에만 Cr 나노입자 를 형성한다.



(가)

(나)

그림 1. (a) BCP Template, (b) 원뿔 형태의 Cr 나노입자의 주사전자현미경의 단면 및 상면 사진

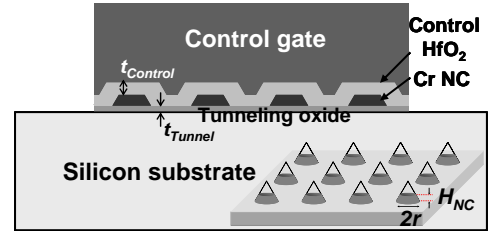


그림 2. Cr 나노입자가 삽입된 비휘발성 메모리소자의 구조도

그림 2의 Cr 나노입자가 삽입된 비휘발성 메모리 소자 제작을 위해 (100) 방향의 기판을 이용하여 850도에서 3nm 실리콘 산화막 (tunneling dielectric: TN)을 성장시킨다. 앞서 설명한 방법에 의한 Cr 나노입자를 형성한 후 10nm 두께의 하프늄옥사이드 (control dielectric) 증착 및 control gate (CG) 로서 300nm Cr 층을 증착하고 습식식각법을 통하여 부유게이트로서 Cr 나노입자가 삽입된 메모리 device를 제작하였다.

3. Device Modeling

제작된 소자에서 사용된 나노입자가 원뿔 모양 (그림 1(나)) 임을 고려하여, 해석적 modeling을 수행하였다. 원뿔형태의 Gaussian box를 고려하면, CG와 TN 부분의 E-field는 식 (1), (2)가 된다.

$$E_{cg} = \frac{V_g}{t_{cg} + \frac{1}{k} \left(\frac{\epsilon_{hf}}{\epsilon_{ox}} \right) t_m} + \frac{knq / (\pi r^2)}{\epsilon_{hf} + k\epsilon_{ox} \left(\frac{t_{cg}}{t_m} \right)} \quad \text{식 (1)}$$

$$E_m = \frac{V_g}{t_m + k \left(\frac{\epsilon_{ox}}{\epsilon_{hf}} \right) t_{cg}} - \frac{knq / (\pi r^2)}{k\epsilon_{ox} + \epsilon_{hf} \left(\frac{t_m}{t_{cg}} \right)} \quad \text{식 (2)}$$

(Parameter는 appendix 참조)

식 (1), (2)에서 k값은 나노입자의 CG부분과 TG부분의 면적비율로써 작을수록 E-field가 커지게 된다. 나노입자에 전자들이 저장됨에 따라 programming time 은 아래 식(3)과 같이 recursive form으로 표현된다.

$$t_n = t_{n-1} + \frac{q}{\sigma J_{net}} \quad \text{식 (3)}$$

(여기서 $J_{net} = J_m + J_{cg}$: net current density, σ : capture area)

각 부분의 전류밀도는 oxide band bending 정도에 따라서 direct tunneling mechanism, 또는 Fowler-Nordheim (F-N) tunneling mechanism으로 계산할 수 있다.(appendix 참조)

Potential 변화에 따른 Current mechanism 변화기준은 식 (4)로 주어진다.

$$E_{change} = \Phi_{ox} / T \quad \text{식 (4)}$$

(여기서 Φ_{ox} : barrier height, T : insulator thickness)

마지막으로 voltage shift는 식 (5)로 나타내어진다.

$$\Delta V_{th} = nq / C_{cg} \quad \text{식 (5)}$$

(여기서 n : electron number, C_{cg} : CG capacitance)

6V, 8V 게이트 프로그램전압 (V_{G_PGM})에 대해서, 위 사항들을 모두 고려한 계산 결과가 실제 측정과 잘 일치하는 것을 그림 3에서 확인할 수 있다.

4. Results and Discussions

그림 3은 고정된 프로그램 게이트전압 ($V_{G_PGM}=6V, 8V$)에서 프로그램 시간 (t_{PGM})에 따른 문턱전압의 변이를 보여주고 있다. $V_{G_PGM}=8V$ 일 경우 $6V$ 일 때와 비교하여 문턱전압의 변이가 빨리 일어남을 알 수 있다. 이는 높은 V_{G_PGM} 에서 더 큰 E-field가 걸리게 되고 더 많은 전자들이 나노입자에 저장된다. 또한 $V_{G_PGM}=6V$ 에 비해 일정시간의 경과 후 문턱전압의 변이가 saturation 되는 것을 알 수 있다. 이러한 문턱전압 경향성의 변이는 나노입자에 저장된 전자들이 포화된 상태로써 이때 $J_{net}=0$ 인 상태가 된다. 즉 전자가 나노입자에 저장됨에 따라서 CG 부분의 E-field가 증가하여 J_{cg} 가 증가하고, 반면 TN 부분은 E-field가 감소하여 J_m 이 감소한다. 일정 프로그램 시간 후 J_{cg} 와 J_m 의 값이 같아지게 되어 나노입자로의 $J_{net}=0$ 이 되고 나노입자에 저장된 전자는 포화상태에 있게 된다.

그림 4는 ($V_{G_PGM}=6V @t_{PGM}=10$ ms)과 ($V_{G_PGM}=8V @t_{PGM}=40$ μ s) 일 때 모양에 따른 문턱전압변이를 비교한 것이다. 반구와 구의 반지름은 원뿔의 밑면 반지름과 동일한 값을 가진다. 따라서 반구의 높이는 $h=r$ 이며, 구의 높이는 $h=2r$ 이다. 그래프의 경향을 살펴보면 program efficiency는 반구, 원뿔, 구 순서로 좋아지는 것을 확인할 수 있다. 모양에 따라서 program speed가 달라지는 이유는 CG부분의 capacitance (C_{cg}) 변화 및 E-field를 고려할 수 있다. 먼저 나노입자의 표면적이 넓어지게 되면 C_{cg} 가 증가하게 되어 같은 양의 전자가 저장되어도 문턱전압의 변이가 증가하게 되어 program efficiency가 증가한다. 또한 나노입자의 표면적이 커지면 E-field의 parameter인 k 값이 줄어들게 되고, E-field가 커지게 된다. 따라서 나노입자에 흐르는 전류가 증가하게 되어 program speed가 증가하게 된다. 위의 두 영향을 비교해 보면, tunneling current는 E-field의 exponential 함수이기 때문에 표면적 증가에 따른 capacitance 증가효과 보다 전류 증가효과가 dominant하다.

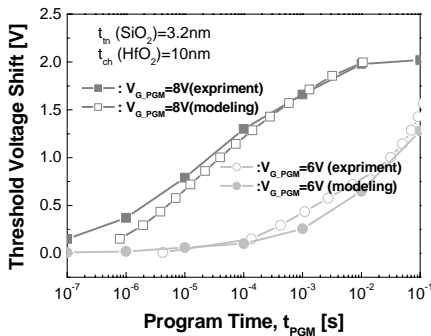


그림 3. $V_{G_PGM}=6V$ 및 $8V$ 의 경우 t_{PGM} 의 변화에 따른 문턱전압변이의 측정 및 modeling 특성그래프.

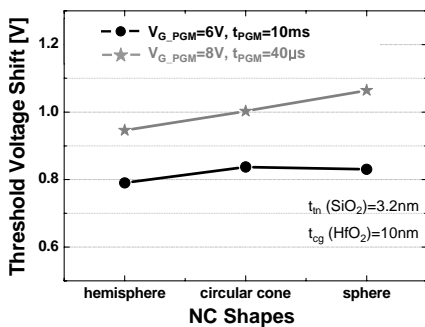


그림 4. 일정한 프로그램 시간 (t_{PGM})의 경우 나노입자 구조에 따른 (반구, 원뿔, 및 구) 따른 문턱전압 변이.

나노입자의 제한된 단면적의 경우 본 연구에서 구현한 원뿔형 나노 입자에서 높이 증가를 통해 E-field 및 나노입자로의 전류를 증가시켜 program efficiency를 극대화시킬 수 있다.

4. Summary

블록공중합체 템플릿을 이용하여 균일한 배열을 가지는 나노입자를 형성해 보았으며, 이를 통해 메모리소자를 제작 비휘발성 메모리로서 동작특성을 확인하였다. 형성된 원뿔모양의 Cr 나노입자를 모델링을 통해 측정된 결과를 분석해 보았으며, 이를 바탕으로 나노입자의 구조에 따른 프로그램 효율의 관계를 analytical modeling을 통하여 해석적으로 알아 보았다.

Acknowledgement

This work was supported by the National Research Program for the 0.1-Terabit Nonvolatile Memory Development Initiative, sponsored by the Korea Ministry of Commerce, Industry and Energy.

References

- [1] S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, D. Buchanan, "Volatile and Non-Volatile Memories in Silicon with Nano-Crystal Storage," IEDM Technical Digest, pp. 521-524, 1995.
- [2] H. I. Hanafi, S. Tiwari, I. Khan, "Fast and Long Retention-Time Nano-Crystal Memory," IEEE Trans. Electron Devices, vol. 43, pp. 1553-1558, 1996.
- [3] S. Tiwari, J. A. Wahl, H. Silva, F. Rana, J. J. Welser, "Small Silicon Memories: Confinement, Single-Electron, and Interface State Considerations," Appl. Phys. A, vol. 71, pp. 403-414, 2000.
- [4] J. H. Chen, Y. Q. Wang, W. J. Yoo, Y. -C. Yeo, G. Samudra, D. S. H. Chan, A. Y. Du, D. -L. Kwong, "Nonvolatile Flash Memory Device Using Ge Nanocrystals Embedded in HfAlO High-k Tunneling and Control Oxides: Device Fabrication and Electrical Performance," IEEE Trans. Electron Devices, vol. 51, pp. 1840-1848, 2005.
- [5] Z. Liu, C. Lee, V. Narayanan, G. Pei, E. C. Kan, "Metal Nanocrystal Memories-Part I: Device Design and Fabrication," IEEE Trans. Electron Devices, vol. 49, pp.1606-1614, 2002.
- [6] J. J. Lee, D. -L. Kwong, "Metal Nanocrystal Memory with High-k Tunneling Barrier for Improved Data Retention," IEEE Trans. Electron Devices, vol. 52, pp. 507-511, 2005.
- [7] S. K. Samanta, P. K. Singh, W. J. Yoo, G. Samudra, Y. -C. Yeo, L. K. Bera, N. Balasubramanian, "Enhancement of Memory Window in Short Channel Non-Volatile Memory Devices Using Double Layer Tungsten Nanocrystals," IEDM Technical Digest, pp. 170-173, 2005.

-Appendix-

<Parameters>

- r : NC radius (13.6nm)
- h : NC height (33.1nm)
- ϵ_{ox} : CG dielectric (HfO_2) const. (25)
- ϵ_{tn} : TN dielectric (SiO_2) const. (3.9)
- ϵ_{si} : Silicon dielectric const. (11.7)
- t_{cg} : CG thickness (10nm)
- t_{tn} : TN thickness (3.2nm)
- n : Number of electrons in NC
- k : NC area ratio ($k=S_m/S_{cg}$)
- S_m : CG부분 NC area
- S_{cg} : TO부분 NC area
- C_{cg} : CG Oxide Capacitance
- C_{tn} : TN Oxide Capacitance
- σ : Capture cross section area

<Tunneling Current Equation>

(1) F-N Tunneling Current

$$J_{FN} = \frac{q^2 E^2}{8\pi h \phi_{ox}} \exp\left(\frac{-8\pi\sqrt{2m^*}(q\phi_{ox})^{3/2}}{3hqE}\right)$$

(2) Direct Tunneling Current

$$J_{DT} = \frac{q^2}{8\pi h \epsilon_{ox} \phi_m} C(V_g, V_{ox}, t_{ox}, \phi_b) \exp\left(\frac{-8\pi\sqrt{2m^*}(q\phi_m)^{3/2}}{3hqE}\right) \left[1 - \left(1 - \frac{V_g}{\phi_m}\right)^{3/2}\right]$$